

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-361334

(43)Date of publication of application : 14.12.1992

(51)Int.Cl.

G06F 11/28

G06F 11/22

G06F 15/78

(21)Application number : 03-136418

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 07.06.1991

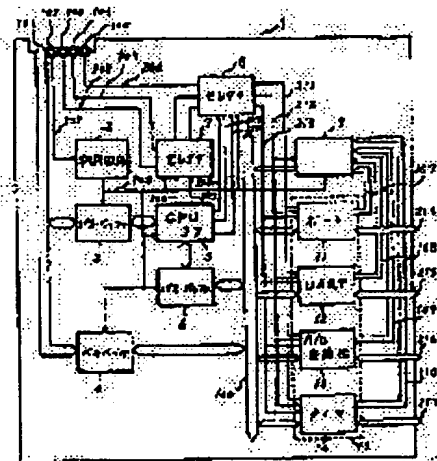
(72)Inventor : KANAZAWA MASAYA

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To enable real-time trace at the terminal level of a microcomputer.

CONSTITUTION: This microcomputer is equipped with a main bus 101, chip select terminal 102, output permit signal terminal 103, spare signal terminal 104 and power supply terminal 105 for forming a terminal to connect a PROM storing the program of a debugging object, a CPU core 5 to execute an operation processing, peripheral I/O 10 and discrimination circuit 2 to discriminate either the PROM or an incircuit emulator is connected to the terminal for connecting the PROM. Further, selectors 7 and 8 are provided to control the operation of the CPU core 5 and connection between the peripheral I/O 10 and the CPU core 5 and to control connection between the incircuit emulator and the peripheral I/O 10 as well, and a bus control circuit 9 for real-time trace is provided to perform access from the incircuit emulator to the peripheral I/O 10 regardless of a program instruction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-361334

(43) 公開日 平成4年(1992)12月14日

(51) Int. Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F	11/28	L 5725-5B		
	11/22	3 4 0 A 9072-5B		
	15/78	5 1 0 K 7530-5L		

審査請求 未請求 請求項の数3(全 7 頁)

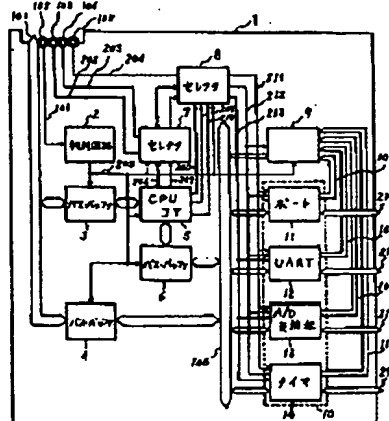
(21) 出願番号	特願平3-138418	(71) 出願人	000232036 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番 53
(22) 出願日	平成3年(1991)6月7日	(72) 発明者	金沢 正俊 神奈川県川崎市中原区小杉町1丁目403番 53 日本電気アイシーマイコンシステム株式 会社内
		(74) 代理人	弁護士 内原 晋

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】 (修正有)

【目的】 マイクロコンピュータの端子レベルにおけるリアルタイム・トレースを可能とする。

【構成】 デバッグ対象のプログラムが格納されているPROMを差込む端子を形成するメイン・バス101、チップ選択端子102、出力許可信号端子103、予備信号端子104および電源用端子105と、演算処理を行うCPUコア5と、周辺I/O10と、前記PROMを差込む端子に、PROMまたは前記インサート・エミュレータの何れが接続されたかを判別する判別回路2と、CPUコア5の動作ならびに周辺I/O10とCPUコア5との接続を制御するインサート・エミュレータと周辺I/Oとの接続をも制御するセレクト7、8と、プログラム命令とは関係なく前記インサート・エミュレータより周辺I/O10にアクセスするリアルタイム・トレース用バス制御回路9とを備える。



1... マイクロコンピュータ
9... リアルタイム・トレース用バス制御回路
10... 周辺I/O

(2)

特開平4-361334

【特許請求の範囲】

【請求項1】 デバッグ対象の装置に取付けて用いられるマイクロコンピュータにおいて、デバッグ対象となるプログラムが格納されている読み可能な読み出し専用のPROMを差込むための端子と、前記PROMからプログラムを取出し、当該プログラムの命令を解釈して演算等の処理を行う処理回路と、前記処理回路または所定のインサート・エミュレータに接続されることにより動作するI/O回路と、前記PROMを差込むための端子に対して、PROMが差込まれたか、または前記インサート・エミュレータが接続されたかを判別する判別回路と、前記判別回路から出力される前記インサート・エミュレータが接続されていることを示す信号により、前記処理回路の動作を禁止して、前記I/O回路と前記処理回路の接続を切り離す第1の選択回路と、前記判別回路から出力される前記インサート・エミュレータが接続されていることを示す信号により、前記処理回路に替えて、前記PROMを差込むための端子に接続された前記インサート・エミュレータを前記I/O回路に接続する第2の選択回路と、前記命令とは無関係に、前記インサート・エミュレータから前記I/O回路に対するアクセスを行うリアルタイム・トレース用バス制御回路と、を備え、前記命令の実行により、所定のインサート・エミュレータから前記I/O回路に対するアクセスを行う機能をも併せ有することを特徴とするマイクロコンピュータ。

【請求項2】 前記処理回路が、CPUコアにより形成される請求項1記載のマイクロコンピュータ。

【請求項3】 前記I/O回路が、ポート、A/D変換器およびタイマ等の何れか、または、これらの任意の組合せにより形成される請求項1および2記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータに関する。

【0002】

【従来の技術】 従来のマイクロコンピュータの使用例を図6に、従来のマイクロコンピュータの基本ブロック図を図7に、マイクロコンピュータの端子をインサート・エミュレータでリアルタイムトレースする例を図8に示す。

【0003】 一般に、図6に示されるように、マイクロコンピュータ41は、ターゲット・ボード43に固定されており、上部にPROM44を差込むためのPROM差込み用端子42を持ち、PROM44またはPROM端子と同じ形状の端子を持った接続部（以降プローブと称す）45によりインサート・エミュレータと接続する事が可能である。

【0004】 次に、従来のマイクロコンピュータ41の

基本動作を図7で説明する。前記PROMを差込むためのPROM差込み用端子42は、メイン・バス115、チップ選択信号端子（以降チップ・イネーブル信号端子と称す）117、出力許可信号端子118、予備信号端子119及び電源用端子116で構成される。まず、PROMまたはインサート・エミュレータのどちらかが接続されるかは、電源用端子116より検出信号226を介して判別回路47で判別し、PROM/インサート・エミュレータの切り換え信号230をアクティブにする。もしPROMが接続された場合、CPUコア50が動作し、チップ・イネーブル信号231および出力許可信号232が、セレクト52を介して端子とつながっているチップ・イネーブル信号227および出力許可信号228に出力され、I/Oアクセス用のアドレス・ストローブ信号233、データ・ストローブ信号234およびリード/ライト信号235が、セレクト53を介してポート55、UART56、A/D変換器57およびタイマ58を含む周辺I/O54とつながっているアドレス・ストローブ信号237、データ・ストローブ信号238およびリード/ライト信号236に出力される。また、メイン・バス115はPROMアクセス用のアドレス及びデータのバスとなっており、バス接続用のバス・バッファ48によりCPUコア50と接続され、バス・バッファ49によりI/Oバス120とは切り離され、バス・バッファ51によりCPUコア50とI/Oバス120が接続される。

【0005】 マイクロコンピュータ46のPROM差込み用端子42（図6参照）にプローブ45（図6参照）を差込み、インサート・エミュレータを接続した場合は、PROM/インサート・エミュレータ切り換え信号230により、CPUコア50はメイン・バス115と切り離され、プローブ45（図6参照）を介してチップ・イネーブル信号端子117、出力許可信号端子118及び予備信号端子119より入ってきた信号を、セレクト52及びセレクト53を介して、周辺I/O54と接続されているアドレス・ストローブ信号237及び、データ・ストローブ信号238及びリード/ライト信号236に渡す。また、CPUコア50は動作を停止し、バス・バッファ48およびバス・バッファ51によりメイン・バス115及びI/Oバス120とは切り離され、バス・バッファ49によりメイン・バス115とI/Oバス120が接続される。この時プローブ45（図6参照）と接続されているメイン・バス115は、I/Oアクセス用のアドレス及びデータのバスとなっており、図3に示すように、前記PROMのアドレス空間を4キロバイト、前記I/Oのアドレス空間を512バイトとすると、前記PROMと接続した場合、メモリアクセスには、メイン・バス115のバス幅はアドレス・バスに12ビット及びデータ・バス30ビットに8ビットで計20ビット必要となり、図3における0〜19

(3)

特開平4-361334

までのメイン・バス115全体を使用するのに対して、インサート・エミュレータを接続した場合は、1/Oアクセスには、メイン・バス115のバス幅は1/Oアドレス・バス302に9ビット及び1/Oデータ・バス303に9ビットの計17ビットで、b17~b19の部分301の3ビットが余る。また、図9(a)、

(b)、(c)および(d)に示すように、メイン・バス116は、1/Oアクセス401専用となっているため、バス使用時間にも、PROMと接続した場合と比較して空き402がある。一方、図8に示すように、インサート・エミュレータ89においては、リアルタイム・トレースを、プロープ121およびリアルタイム・トレース用バス123を介してリアルタイム・トレース61で行っている。この時、マイクロコンピュータ64の端子入力信号243のリアルタイム・トレースを行うにあたって、プロープ121とは別に端子入力信号243のリアルタイム・トレース用のケーブル122をマイクロコンピュータ64の端子に接続し、インサート・エミュレータ59に内蔵されたコンバータ62を介し、リアルタイム・トレース61でリアルタイム・トレースを行っている。

【0006】
【発明が解決しようとする課題】 上述した従来の構成のマイクロコンピュータにおいて、インサート・エミュレータを接続し、端子信号をリアルタイム・トレースしようとした時、信号レベルが低い端子信号の場合、ケーブルを通る過程においてノイズの影響で値が不正確となり、また、リアルタイム・トレース自身の電圧よりも高い電圧を持つ端子信号については、レベル変換を行ってからでないとトレースできないという欠点がある。さらに、インサート・エミュレータ専用のレベル変換回路で変換したデジタル・データをトレースしているため、マイクロコンピュータ内部で変換したデータとは異なる可能性があるという欠点がある。

【0007】

【課題を解決するための手段】 本発明のマイクロコンピュータは、デバッグ対象の装置に取付けて用いられるマイクロコンピュータにおいて、デバッグ対象となるプログラムが格納されている読み可能な読み出し専用のPROMを格納するための端子と、前記PROMからプログラムを読み出し、当該プログラムの命令を解釈して演算等の処理を行う処理回路と、前記処理回路または所定のインサート・エミュレータに接続されることにより動作する1/O回路と、前記PROMを格納するための端子に対して、PROMが送達されたか、または前記インサート・エミュレータが接続されたかを判別する判別回路と、前記判別回路から出力される前記インサート・エミュレータが接続されていることを示す信号により、前記処理回路の動作を禁止して、前記1/O回路と前記処理回路の接続を断り、第1の選択回路と、前記

判別回路から出力される前記インサート・エミュレータが接続されていることを示す信号により、前記処理回路に換えて、前記PROMを格納するための端子に接続された前記インサート・エミュレータを前記1/O回路に接続する第2の選択回路と、前記命令とは無関係に、前記インサート・エミュレータから前記1/O回路に対するアクセスを行うリアルタイム・トレース用バス制御回路と、を備え、前記命令の実行により、所定のインサート・エミュレータから前記1/O回路に対するアクセスを行う機能を併せ有することを特徴としている。

【0008】 なお、前記処理回路は、CPUコアにより形成してもよく、また、前記1/O回路は、ポート、A/D変換器およびタイマ等の何れか、または、これらの任意の組合せにより形成してもよい。

【0009】

【実施例】 次に、本発明について図面を参照して説明する。

【0010】 本発明のマイクロコンピュータの一実施例の基本ブロック図を図1に、周辺1/Oデータモジュール・トレースするためのバス制御回路の回路図を図2に、マイクロコンピュータにインサート・エミュレータを接続した場合の1/Oアクセス時とリアルタイム・トレース時のバス共有手段を図3に、本発明のマイクロコンピュータの端子信号のリアルタイム・トレースする例を図4に、本発明におけるエミュレート時のタイミング・チャートを図5(a)、(b)、(c)、(d)、(e)および(f)に示す。尚、図7の従来のマイクロコンピュータの基本ブロック図に対して、図1の本発明のマイクロコンピュータの基本ブロック図では、リアルタイム・トレースのためのリアルタイム・トレース用バス制御回路9が追加されている点異なる。

【0011】 次に本発明のマイクロコンピュータの一実施例における、エミュレート時の動作について説明する。図1において、マイクロコンピュータ1は、PROM/インサート・エミュレータの切り替え信号205により、PROMが接続されている時はCPUコア5が動作し、リアルタイム・トレース用バス制御回路9は1/Oバス106に対して出力を行わない。また、インサート・エミュレータが接続されている時、CPUコア5はメイン・バス101及び1/Oバス106から切り離され、リアルタイム・トレース用バス制御回路9が1/Oバス106に対して命令実行による1/Oアクセスを行っていない時に出力を行なう。前記インサート・エミュレータ動作時に、チップ・イネーブル信号端子103及び出力許可信号104より入力された信号はセクタ7及びセクタ8を介して、リアルタイム・トレース用バス制御回路9及び周辺1/O10と接続されているアドレス・ストロープ信号212及びデータ・ストロープ信号211に流れる。また、予備信号端子10

(4)

特開平4-361334

5から入力された信号はセクタ8を介して周辺1/O 10と接続されているリード/ライト信号213へ出力される。

【0012】一方、メイン・バス101は、1/Oアクセス時には1/Oアドレス・バスまたは1/Oデータ・バスとして使用され、この間はリアルタイム・トレース用バス制御回路9は1/Oバス106に対しての出力は行わず、周辺1/O10より1/Oデータが1/Oバス106に対して出力される。1/Oアクセスが行われていない時は、リアルタイム・トレース用バス制御回路9では、周辺1/O10より、リアルタイム・トレース用データ・バス107、108、109および110を介して取り込んだ1/Oデータを、1/Oバス106に対して出力する。図5は、その時のタイミング・チャートで、1/Oアクセス時間401以外の間をリアルタイム・トレース時間402に使用している。この様に、従来はマイクロコンピュータの端子から直接、端子信号をリアルタイム・トレースしていたのに対し、ポート用端子信号214が inputs の場合を例にとると、ポート用端子信号214からの入力データはポート11の内部でレベル変換され保持される。この保持されたデータは、ポート11がリードされた時にポート11から1/Oバス106に出力される。また、その直ま当該データはリアルタイム・トレース用データ・バス107に出力され、リアルタイム・トレース用バス制御回路9に出力される。上記のポート用端子信号214以外の他の端子信号(215、216および217)も、各1/Oを介してリアルタイム・トレースしているため、アナログ信号216の様に電圧の低いものでも、いったんリアルタイム・トレース用データバス109に対するデジタル信号に変換されたり、またリアルタイム・トレースの耐電圧を越える高電圧の信号214に対してもレベル変換されるので、幅広い端子信号についてリアルタイム・トレースする事が可能になっている。更に、前述の変換されたリアルタイム・トレース用バス107、108、109および110は、マイクロコンピュータ内部で変換されたものである。実際にCPUが取り込む端子信号と同様のリアルタイム・トレースのデータとして信頼することができ、

【0013】ここで、周辺1/O10の内、どの1/Oについてリアルタイム・トレースを行うかは、図3に示している様に、前記PROMのアドレス空間を4キロバイト、前記1/Oのアドレス空間を512バイトとすると、インサート・エミュレータを接続した場合、1/Oアクセスには、メイン・バス101のバス幅は1/Oアドレス・バス302に9ビット及び1/Oデータ・バス303に8ビットの計17ビットが必要となり、b17~b19の部分301が余るので、前記の部分301を利用してリアルタイム・トレースする対象となる1/Oを指定する。上述の1/Oアクセスとリアルタイム

・トレースでバスを共有する事によって、図4に示す様に、端子信号222、223、224および225のリアルタイム・トレースを行うに当たって、マイクロコンピュータ39からプロンプ113およびリアルタイム・トレース用バス114を介して、リアルタイム・トレース37でリアルタイム・トレースを行う事ができ、図8に示す従来の方法と比較して、リアルタイム・トレース用のケーブルを使用して、マイクロコンピュータ39の端子とインサート・エミュレータ36を接続する必要がなくなっている。

【0014】リアルタイム・トレース用バス制御回路9では、図2に示すように、1/Oアクセスを行っているかどうかを、アドレス・ストロブ信号212及びPROM/インサート・エミュレータの切り換え信号205によって判断を行っている。図2の例の場合は、1/Oバス106のバス幅を20ビット、リアルタイム・トレース用データ・バス107、108、109および110の各バス幅を8ビット、1/Oの部数を4個としているので、1/Oバス106の下位8ビットを1/Oデータ・バス112に、余った上位12ビットの内、3ビットをリアルタイム・トレースする対象1/Oの選択用バスの上位3ビット・バス111に使用している。PROM/インサート・エミュレータの切り換え信号205及びアドレス・ストロブ信号212より得られた空き時間信号221がハイレベルの場合、1/Oの選択用バスの上位3ビット・バス111をアドレスデコード15で取り込み、リアルタイム・トレースする対象1/Oから取り込んでいる。リアルタイム・トレース用データ・バス107、108、109および110より選択した各ビット毎のリアルタイム・トレース信号218、219、...、220を、AND回路16~19、22~25、...、28~31、およびこれらのAND回路に対応するOR回路20およびゲート回路21、OR回路26およびゲート回路27、...、OR回路32およびゲート回路33と、上記のゲート回路21、22、...、23に対して、PROM/インサート・エミュレータ切り換え信号205およびアドレス・ストロブ信号212の論理積をとり、前述の空き時間信号221を生成して送出するAND回路34を介して、1/Oデータ・バス112に対して出力する。

【0015】

【発明の効果】以上説明したように、本発明は、インサート・エミュレータをマイクロコンピュータに接続した場合に、1/Oアクセス以外の空き時間に、端子信号をリアルタイム・トレースすることができ、かつ、電圧が低い端子信号から、リアルタイム・トレース自身の耐電圧よりも高い電圧を持つ端子信号まで、リアルタイム・トレースする事が可能となり、前記の端子信号は、実際にCPUが取り込む端子信号と同様のリアルタイム・トレースのデータとしての信頼性を保持することができ

(5)

特開平4-361334

きるといふ効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す基本ブロック図である。

【図2】本実施例のリアルタイム・トレース用バス制御回路のブロック図である。

【図3】エミュレート時の1/Oアクセス時とリアルタイム・トレース時のバス共有手段を示す図である。

【図4】本実施例における端子入力信号のリアルタイム・トレースを示す図である。

【図5】本実施例におけるエミュレート時のタイミング・チャートを示す図である。

【図6】マイクロコンピュータの使用例を示す図である。

【図7】従来例を示す基本ブロック図である。

【図8】従来例における端子入力信号のリアルタイム・トレースを示す図である。

【図9】従来例におけるエミュレート時のタイミング・チャートを示す図である。

【符号の説明】

1, 39, 41, 46, 84 マイクロコンピュータ

2, 47 判別回路

3, 4, 6, 48, 49, 51 バス・バッファ

5, 50 CPUコア

7, 8, 52, 53 セレクタ

9 リアルタイム・トレース用バス制御回路

10, 54 周辺I/O

11, 55 ポート

12, 56 UART

13, 57 A/D変換器

14, 58 タイマ

15 アドレス・デコーダ

16~19, 22~25, 28~31, 34 AND

回路

20, 26, 32 OR回路

21, 27, 33 ゲート回路

35, 59 インサート・エミュレータ

36, 60 エミュレーションCPU

37, 61 リアルタイム・トレーサ

38, 43, 63 ターゲット・ボード

40, 65 ユーザ周辺回路

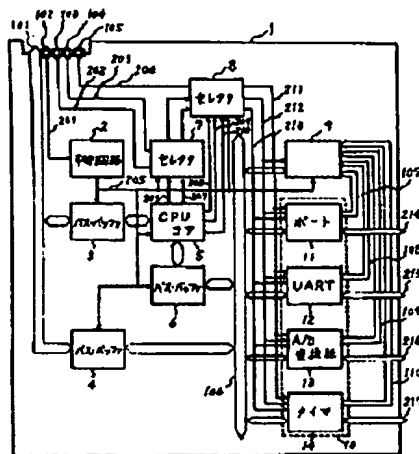
42 PROM差込み用端子

20 44 PROM

45 ブロープ

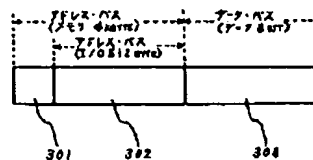
62 コンバータ

【図1】



1... マイクロコンピュータ
9... リアルタイム・トレース用バス制御回路
10... 周辺I/O

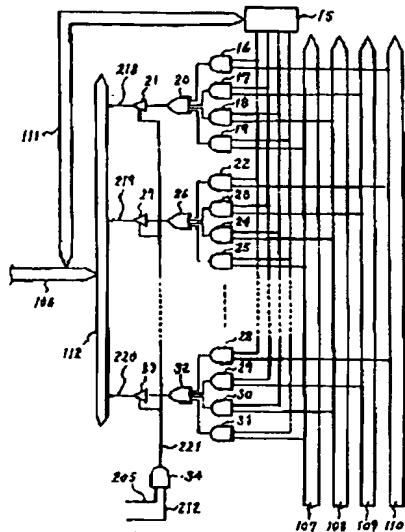
【図3】



(6)

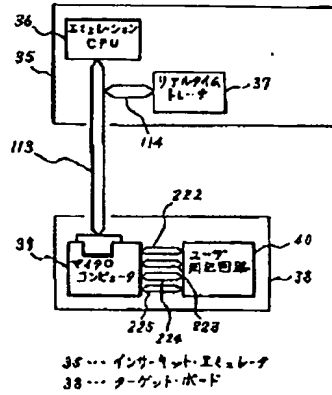
特開平4-361334

【図2】



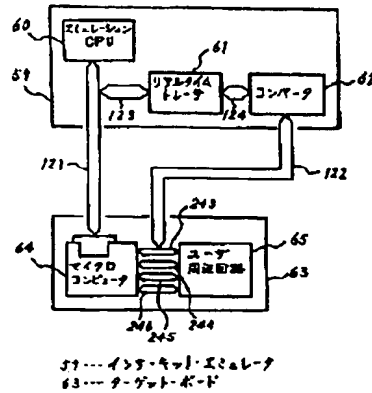
15... アドレスデコーダ
16-19, 22-25, 28-31, 34... AND回路
20, 26, 32... OR回路
21, 27, 33... ゲート回路

【図4】



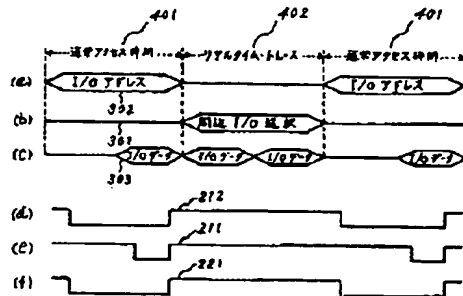
35... インサート・エミュレータ
38... ターゲット・ボード

【図5】



64... インサート・エミュレータ
63... ターゲット・ボード

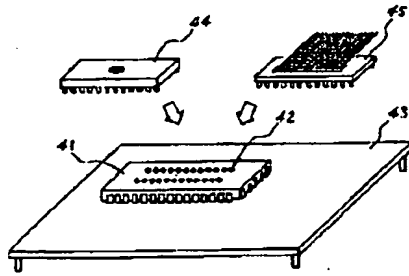
【図6】



(7)

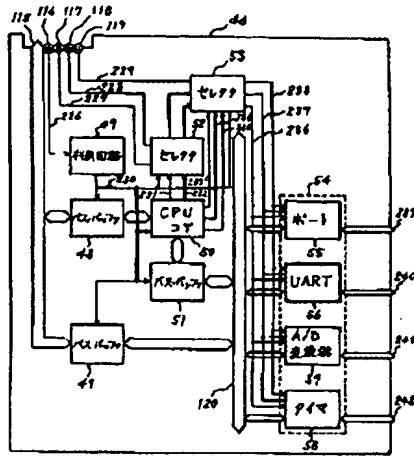
特開平4-361334

【図6】



- 41…マイクロコンピュータ
- 42…PROM差込み用端子
- 44…ターゲットボード
- 45…PROM

【図7】



- 44…マイクロコンピュータ
- 45…周辺I/O

【図9】

